

EPODOC / EPO

PN - JP2004062727 A 20040226
 TI - POWER CONTROL DEVICE FOR IC
 PD - 2004-02-26
 PR - JP20020222775 20020731
 OPD - 2002-07-31
 IC - G05F1/10 ; G05F1/00
 IN - YOSHIDA TAKESHI
 PA - MATSUSHITA ELECTRIC IND CO LTD

WPI / DERWENT

PN - JP2004062727 A 20040226 DW200425 G05F1/10 013pp
 TI - Power controller for large scale integrated circuit e.g. CPU, outputs control signal to power supply circuits to output predetermined voltage to CPU, when frequency of clock signal exceeds predetermined integral value
 PR - JP20020222775 20020731
 OPD - 2002-07-31
 AB - JP2004062727 NOVELTY - A differentiator (2) outputs a differential voltage from a source voltage. A voltage controlled oscillator (3) oscillates a clock signal whose frequency is proportional to differential voltage. A counter (4) outputs control signal to the power supply circuits (5,6) to output a predetermined voltage to the CPU (7), when frequency of the clock signal exceeds predetermined integral value.
 - USE - Power control for large scale integrated circuit (IC) e.g. CPU.
 - ADVANTAGE - Enables to supply appropriate sequence voltage to IC irrespective of characteristics of output voltage of power supply circuit.
 - DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of power control for IC. (Drawing includes non-English language text).
 - power supply circuit 1
 - differentiator 2
 - voltage controlled oscillator 3
 - counter 4
 - ON-OFF power supply circuits 5,6
 - CPU 7
 - (Dwg. 1/11)
 IC - G05F1/00 ; G05F1/10
 PA - (MATU) MATSUSHITA DENKI SANGYO KK

GPAJ / JPO

PN - JP2004062727 A 20040226
 PD - 2004-02-26
 TI - POWER CONTROL DEVICE FOR IC
 AB - PROBLEM TO BE SOLVED: To provide a power control device for an IC capable of supplying appropriate sequence voltage for the IC for a CPU which requires power supply with mainly two different voltages, regardless of the output voltage characteristics of a power circuit.

- SOLUTION: The power control device, for the IC to apply the power voltage supplied from the power circuit 1 on the IC for a CPU 7 being controlled, is constituted of a differentiation circuit 2 to generate differentiation voltage by differentiating the power voltage from the power circuit, a voltage controlled oscillator 3 to oscillate a clock signal CLK of a frequency f in proportion to the differential voltage generated, a counter circuit 4 to output control signals ct1, ct2, when an integral value for the frequency captured by counting the clock signal CLK exceeds a designated integral value and power ON/OFF circuits 5, 6 to output the designated voltages V1, V2 to the CPU, when the control signal is inputted.

AP - JP20020222775 20020731
IN - YOSHIDA TAKESHI
PA - MATSUSHITA ELECTRIC IND CO LTD
I - G05F1/10 ;G05F1/00

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-62727

(P2004-62727A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int.Cl.⁷G05F 1/10
G05F 1/00

F I

G05F 1/10
G05F 1/00A
G

テーマコード (参考)

5H410

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願2002-222775 (P2002-222775)
(22) 出願日 平成14年7月31日 (2002.7.31)(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100097445
弁理士 岩橋 文雄
(74) 代理人 100103355
弁理士 坂口 智康
(74) 代理人 100109667
弁理士 内藤 浩樹
(72) 発明者 吉田 毅
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
Fターム(参考) 5H410 CC02 DD05 EA37 EB01 ER22
EB25 FF03 FF22

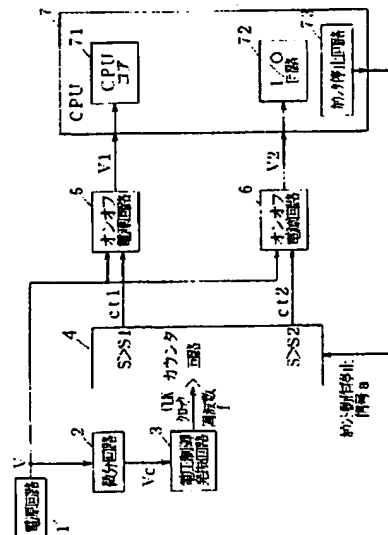
(54) 【発明の名称】 IC用電源制御装置

(57) 【要約】

【課題】電源回路の出力電圧の特性にかかわらず、主として2つの異なる電圧での電圧供給が必要なCPUなどのICに適正なシーケンス電圧を供給することができるIC用電源制御装置を提供することを目的とする。

【解決手段】電源回路1から供給される電源電圧を制御してCPU7などのICに印加するIC用電源制御装置であって、電源回路からの電源電圧を微分して微分電圧を生成する微分回路2と、生成した微分電圧に比例する周波数fのクロック信号CLKを発振する電圧制御発振回路3と、クロック信号CLKをカウントして得られた周波数の積分値が所定積分値を越えたときに制御信号cセ1、cセ2を出力するカウンタ回路4と、制御信号を入力したときに所定電圧V1、V2をCPUへ出力するオンオフ電源回路5、6とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項1】

電源回路から供給される電源電圧を制御してICに印加するIC用電源制御装置であって

前記電源回路からの電源電圧を微分して微分電圧を生成する微分回路と、前記生成した微分電圧に比例する周波数のクロック信号を発振する電圧制御発振回路と、前記クロック信号をカウントして得られた前記周波数の積分値が所定積分値を越えたときに制御信号を出力するカウンタ回路と、前記制御信号を入力したときに所定電圧をICへ出力するオンオフ電源回路とを有することを特徴とするIC用電源制御装置。

【請求項2】

前記カウンタ回路は、前記周波数の積分値が第1の所定積分値を越えたときに第1の制御信号を出力し、前記周波数の積分値が前記第1の所定積分値よりも大きい第2の所定積分値を越えたときに第2の制御信号を出力し、前記オンオフ電源回路は、前記第1の制御信号を入力したときに第1の所定電圧をICの第1の電源用端子へ出力し、前記第2の制御信号を入力したときに前記第1の所定電圧よりも高い第2の所定電圧をICの第2の電源用端子へ出力することを特徴とする請求項1に記載のIC用電源制御装置。

【請求項3】

前記カウンタ回路は、前記第1の所定電圧よりも高い第2の所定電圧がICに入力されたときにICから出力されるカウンタ動作停止信号に基づいてカウンタ動作を停止すること

【請求項4】

前記電源回路からの電源電圧が所定の電源電圧値を越えたときにカウンタ動作停止信号を出力するコンパレータを備え、前記カウンタ回路は、前記コンパレータからのカウンタ動作停止信号を入力したときにカウンタ動作を停止することを特徴とする請求項1または2に記載のIC用電源制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源回路から供給される電源電圧を制御してCPUなどのIC（半導体集積回路、LSIを含む）に印加するIC用電源制御装置に関するものである。

【0002】

【従来の技術】

図9は、従来のIC用電源制御装置としてのCPU電源制御装置を示すブロック図である。

【0003】

図9において、1は出力電圧Vの電源回路、5、6は後述のタイマ9、10からの制御信号 $\tau m1$ 、 $\tau m2$ を入力したときにオフからオンとなって電源電圧V1、V2を出力するオンオフ電源回路、7はCPUコア71（CPUのコア部分としての動作を司る部分）とI/O回路72（CPUの周辺回路としてCPU素子に内蔵されている入出力用のインターフェイス回路）とタイマ停止回路74とを有するCPU、9は計測時間 τ が設定値T1を越えたときに制御信号 $\tau m1$ を出力するタイマ、10は計測時間 τ が設定値T2を越えたときに制御信号 $\tau m2$ を出力するタイマである。ここで、オンオフ電源回路5、6とタイマ9、10とは従来のCPU電源制御装置を構成する。また、タイマ停止回路74は、計測時間 τ が設定値T2を越えたときにタイマ停止信号bを出力し、タイマ9、10の動作を停止させる。これは、ノイズ等によるタイマ9、10の誤動作を防止することにより、CPU7の誤動作や破壊を防止するためである。

【0004】

このように構成されたCPU電源制御装置について、その動作を説明する。

【0005】

図9において、CPUコア71に供給される電圧V1は消費電力を低減するために低電圧

(たとえば1.5V)となっており、一方I/O回路72に供給される電圧V2は既存のデバイスとの接続性を保つために高めの電圧(たとえば3.3V)となっている。このような2つの異なる電圧での電圧供給が必要とされるCPUにおいては、ラッチアップなどの誤動作等の問題が生じることを防止するために電源回路1の出力電圧Vの立上がりにおいて、出力電圧VがV1に達するとCPUコア71に電圧V1を印加し、出力電圧VがV2に達するとI/O回路72に電圧V2を印加するという電圧供給シーケンスでの電圧供給が要求される。

【0006】

この電圧供給シーケンスはタイマ9、10により与えられる。これを図10、図11を用いて説明する。図10は出力電圧Vが1次式的に立ち上がる場合(すなわち急速に立ち上がる場合)を示すタイミングチャートであり、図11は出力電圧Vが2次式的に立ち上がる場合(すなわち徐々に立ち上がる場合)を示すタイミングチャートである。

【0007】

図10において、時間 t_S において出力電圧Vは V_S となり、タイマ9、10が時間計測を開始する。タイマ9は、計測時間 t が設定値 T_1 を越えた時間 t_{V1} において、制御信号 sm_1 を出力し、オンオフ電源回路5をオン状態とする。このとき、オンオフ電源回路5は、電圧V1となっている出力電圧VをCPUコア71に出力する。一方、タイマ10は、計測時間 t が設定値 T_2 を越えた時間 t_{V2} において、制御信号 sm_2 を出力し、オンオフ電源回路6をオン状態とする。このとき、オンオフ電源回路6は、電圧V2となっている出力電圧VをI/O回路72に出力する。このようにして、まず電圧V1がCPUコア71に与えられ、電圧V2がI/O回路72に与えられる。

【0008】

しかし、この電圧供給シーケンスは、1次式的な出力電圧Vの特性に適合するようなシーケンスであり、図11に示すような2次式的な出力電圧Vの特性に対しては適合しない。これについて説明する。

【0009】

図11に示す2次応答的な出力電圧Vは徐々に立ち上がるという特性を有している。したがって、まずタイマ9、10の時間計測のスタート時間 t_S が遅れるが、 t_S から t_{V1} までの時間は図10と同様に T_1 、 t_S から t_{V2} までの時間も図10と同様に T_2 である。このとき、出力電圧Vは徐々に立ち上がっており、時間 t_{V1} における出力電圧Vは V_1 よりも低い V_1' であり、時間 t_{V2} における出力電圧Vも V_2 よりも低い V_2' である。このため、CPU7において誤動作(たとえばラッチアップ現象)を起こしたり、CPU7自体が破壊される可能性がある。

【0010】

【発明が解決しようとする課題】

このように、従来のCPU電源制御装置では、電源回路1の1次式で表されるような出力電圧に対応する場合には2次式で表されるような出力電圧には対応できず、CPU7が誤動作したり、破壊される場合があるという問題点を有していた。

【0011】

この半導体集積回路(IC)用電源制御装置では、電源回路の出力電圧の特性にかかわらず、2つの異なる電圧での電圧供給が必要なCPUなどのICに適正なシーケンス電圧を供給することが要求されている。

【0012】

本発明は、この要求を満たすため、電源回路の出力電圧の特性にかかわらず、主として2つの異なる電圧での電圧供給が必要なCPUなどのICに適正なシーケンス電圧を供給することができるIC用電源制御装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記課題を解決するために本発明のIC用電源制御装置は、電源回路から供給される電源電圧を制御してCPUなどのICに印加するIC用電源制御装置であって、電源回路から

10

20

30

40

50

の電源電圧を微分して微分電圧を生成する微分回路と、生成した微分電圧に比例する周波数のクロック信号を発振する電圧制御発振回路と、クロック信号をカウントして得られた周波数の積分値が所定積分値を越えたときに制御信号を出力するカウンタ回路と、制御信号を入力したときに所定電圧をCPUへ出力するオンオフ電源回路とを有する構成を備えている。

【0014】

これにより、電源回路の出力電圧の特性にかかわらず、CPUなどのICに適正なシーケンス電圧を供給することができるIC用電源制御装置が得られる。

【0015】

【発明の実施の形態】

本発明の請求項1に記載のIC用電源制御装置は、電源回路から供給される電源電圧を制御してCPUなどのICに印加するIC用電源制御装置であって、電源回路からの電源電圧を微分して微分電圧を生成する微分回路と、生成した微分電圧に比例する周波数のクロック信号を発振する電圧制御発振回路と、クロック信号をカウントして得られた周波数の積分値が所定積分値を越えたときに制御信号を出力するカウンタ回路と、制御信号を入力したときに所定電圧をICへ出力するオンオフ電源回路とを有することとしたものである。

【0016】

この構成により、クロック信号をカウントして得られた周波数の積分値は電源回路からの電源電圧値となり、この電源電圧値が所定積分値を越えた場合に制御信号が出力されるので、オンオフ電源回路からICへの電源供給においては所定積分値に対応する電源電圧すなわち設定された一定の電源電圧が供給されるので、電源回路の出力電圧の特性にかかわらず、ICに適正なシーケンス電圧を供給することができるといふ作用を有する。

【0017】

請求項2に記載のIC用電源制御装置は、請求項1に記載のIC用電源制御装置において、カウンタ回路は、周波数の積分値が第1の所定積分値を越えたときに第1の制御信号を出力し、周波数の積分値が第1の所定積分値よりも大きい第2の所定積分値を越えたときに第2の制御信号を出力し、オンオフ電源回路は、第1の制御信号を入力したときに第1の所定電圧をICの第1の電源端子へ出力し、第2の制御信号を入力したときに第1の所定電圧よりも高い第2の所定電圧をICの第2の電源端子へ出力することとしたものである。

【0018】

この構成により、例えば、まず第1の所定電圧が第1の電源端子を介してCPUコアに供給され、次に、第1の所定電圧よりも高い第2の所定電圧が第2の電源端子を介してI/O回路に供給されるので、電源回路の出力電圧の特性にかかわらず、CPUなどのICに適正なシーケンス電圧が供給され、ICが誤動作したり、破壊されることがないという作用を有する。

【0019】

請求項3に記載のIC用電源制御装置は、請求項2に記載のIC用電源制御装置において、カウンタ回路は、第1の所定電圧よりも高い第2の所定電圧がCPUなどのICに入力されたときにICから出力されるカウンタ動作停止信号に基づいてカウンタ動作を停止することとしたものである。

【0020】

この構成により、ノイズ等により誤動作を起こす可能性のあるカウンタ回路の動作が停止されるので、誤動作による異常な電圧がオンオフ電源回路からCPUなどのICへ供給されることを防止することができ、ICにおける誤動作や破壊を防止することができるという作用を有する。

【0021】

請求項4に記載のIC用電源制御装置は、請求項1または2に記載のIC用電源制御装置において、電源回路からの電源電圧が所定の電源電圧値を越えたときにカウンタ動作停止

10

20

30

40

50

信号を出力するコンパレータを備え、カウンタ回路は、コンパレータからのカウント動作停止信号を入力したときにカウント動作を停止することとしたものである。

【0022】

この構成により、ノイズ等により誤動作を起こす可能性のあるカウンタ回路の動作が停止されるので、誤動作による異常な電圧がオンオフ電源回路からCPUなどのICへ供給されることを防止することができ、ICにおける誤動作や破壊を防止することができるという作用を有する。

【0023】

以下、本発明の実施の形態について、図1～図8を用いて説明する。

【0024】

(実施の形態1)

図1は、本発明の実施の形態1によるCPU電源制御装置を示すブロック図である。

【0025】

図1において、電源回路1、オンオフ電源回路5、6、CPU7、CPUコア71、I/O回路72は図9と同様のものなので、同一符号を付し、説明は省略する。2は電源回路1の出力電圧Vを微分して微分電圧Vcとして出力する微分回路、3は微分電圧Vcに比例した周波数fのクロックCLKを出力する電圧制御発振回路、4はクロックCLKをカウントしてカウント値（つまり周波数fの積分値）Sを生成し、Sが所定積分値S1（第1の所定積分値）を越えたときに制御信号cセ1を出力し、Sが所定積分値S2（第2の所定積分値）を越えたときに制御信号cセ2を出力するカウンタ回路、73はカウンタ回路4を停止させるカウント動作停止信号αを出力するカウンタ停止回路である。ここで、微分回路2と電圧制御発振回路3とカウンタ回路4とオンオフ電源回路5、6とはCPU電源制御装置を構成する。

【0026】

このように構成されたCPU電源制御装置について、その動作を説明する。

【0027】

図1においては、従来と同様に、CPUコア71に所定のCPUコア用電源接続用端子（図示せず）を介して供給される電圧V1は消費電力を低減するために低電圧（たとえば1.5V）となっており、一方I/O回路72に所定のI/O回路用電源接続用端子（図示せず）を介して供給される電圧V2は既存のデバイスとの接続性を保つために高めの電圧（たとえば3.3V）となっており、それぞれ外部より異なる電圧を与えて動作させることが一般的である。このため、電源回路1の出力電圧Vの立ち上がりにおいて、出力電圧VがV1に達するとCPUコア71に電圧V1を印加し、出力電圧VがV2に達するとI/O回路72に電圧V2を印加するという電圧供給シーケンスが必要となる。

【0028】

この電圧供給シーケンスは微分回路2と電圧制御発振回路3とカウンタ回路4とにより与えられる。これを図2～図5を用いて説明する。図2は出力電圧Vが1次応答的に立ち上がる場合（すなわち急速に立ち上がる場合）の周波数fとfの積分値Sを示すタイミングチャートであり、図3は出力電圧Vが2次応答的に立ち上がる場合（すなわち徐々に立ち上がる場合）の周波数fとfの積分値Sを示すタイミングチャート、図4は出力電圧Vが1次式的に立ち上がる場合の周波数fの積分値Sとオンオフ電源回路5、6からの出力電圧V1、V2を示すタイミングチャート、図5は出力電圧Vが2次式的に立ち上がる場合の周波数fの積分値Sとオンオフ電源回路5、6からの出力電圧V1、V2を示すタイミングチャートである。

【0029】

まず、電源回路の出力電圧の例として、1次式的に表されるものと2次式的に表されるものの2つのケースにつき説明する。1次式的に表される出力電圧Vの式を（数1）に示し、2次式的に表される出力電圧Vの式を（数2）に示す。

【0030】

【数1】

10

20

30

40

50

$$V=k(1-e^{-t})$$

【0031】

【数2】

$$V=k(1-e^{-t^2})$$

10

【0032】

微分電圧 V_c は出力電圧 V を微分したものであり、周波数 f は微分電圧 V_c に比例するので、周波数 f の積分値 S は、1次式的に表される出力電圧と2次式的に表される出力電圧とのそれぞれに対して(数3)、(数4)のように与えられる。

【0033】

【数3】

$$\begin{aligned} S &= \int f \cdot dt = \int k1 \frac{dv}{dt} \cdot dt = k1 \int dv = k1 \cdot v \\ &= K(1-e^{-t}) \end{aligned}$$

20

【0034】

【数4】

$$S=K(1-e^{-t^2})$$

【0035】

すなわち、周波数 f の積分値 S は出力電圧 V と全く同じとなる。したがって、所定積分値 $S1$ 、 $S2$ に対して各々 $V1$ 、 $V2$ を設定、すなわち $S1$ (第1の所定積分値) $=V1$ (第1の所定電圧)、 $S2$ (第2の所定積分値) $=V2$ (第2の所定電圧)と設定すれば、カウンタ回路4は、周波数 f の積分値 S が第1の所定積分値 $S1$ を越えたときに(すなわち出力電圧 V が電圧 $V1$ を越えたときに)制御信号 $cse1$ を出力し、周波数 f の積分値 S が第2の所定積分値 $S2$ を越えたときに(すなわち出力電圧 V が電圧 $V2$ を越えたときに)制御信号 $cse2$ を出力する。これを図4、図5を用いて説明する。

30

【0036】

図4において、時間 tS において電源回路1からの出力電圧 V は VS となり、電圧制御発振回路3は周波数 f のクロック CLK を生成し、カウンタ回路4はクロック CLK のカウントを開始する。出力電圧 V は上昇し、時間 $tV1$ において $V1$ 、 $tV2$ において $V2$ となる。カウンタ回路4は、上述したことから、出力電圧 V が $V1$ に到達した時間 $tV1$ においてカウント値 S が第1の所定積分値 $S1$ を越えたと判定して制御信号 $cse1$ を出力し、出力電圧 V が $V2$ に到達した時間 $tV2$ においてカウント値 S が第2の所定積分値 $S2$ を越えたと判定して制御信号 $cse2$ を出力する。この制御信号 $cse1$ 、 $cse2$ によりオンオフ電源回路5、6はオン状態となり、それぞれ電圧 $V1$ 、 $V2$ をCPUコア71、I/O回路72へ出力する。

40

【0037】

図5においても同様に、時間 tS よりも相当に遅い時間 tS' において電源回路1からの出力電圧 V は VS となり、電圧制御発振回路3は周波数 f のクロック CLK を生成し、カウンタ回路4はクロック CLK のカウントを開始する。出力電圧 V は上昇し、時間 $tV1$ よりも相当に遅い時間 $tV1'$ において $V1$ 、時間 $tV2$ よりもやや遅い時間 $tV2'$ に

50

においてV2となる。カウンタ回路4は、上述したことから、出力電圧VがV1に到達した時間 $t_{V1'}$ においてカウント値Sが第1の所定積分値S1を越えたと判定して制御信号c₇₁を出力し、出力電圧VがV2に到達した時間 $t_{V2'}$ においてカウント値Sが第2の所定積分値S2を越えたと判定して制御信号c₇₂を出力する。この制御信号c₇₁、c₇₂によりオンオフ電源回路5、6はオン状態となり、それぞれ電圧V1、V2をCPUコア71、I/O回路72へ出力する。

【0038】

このように時間的な差はあるものの、1次応答的出力電圧であっても2次応答的出力電圧であっても、同じ出力電圧値V1、V2においてCPUコア71、I/O回路72に対して電圧印加を開始する。

【0039】

なお、カウンタ停止回路73は、カウント値Sが第2の所定積分値S2を越えたととき（すなわちオンオフ電源回路6が第2の所定電圧V2を出力したとき）にカウンタ動作停止信号 α を出力し、カウンタ回路4の動作を停止させる。これは、ノイズ等によるカウンタ回路4の誤動作を防止することにより、CPU7の誤動作や破壊を防止するためである。

【0040】

図6は、図1のCPU電源制御装置を具体的に示す具体的回路図である。

【0041】

図6において、電源回路1、微分回路2、電圧制御発振回路3、カウンタ回路4、オンオフ電源回路5、6、CPU7、CPUコア71、I/O回路72、カウンタ停止回路73は図1と同様のものである。41はカウンタ回路4を構成するバイナリカウンタ、42、43はカウンタ回路4を構成するDタイプフリップフロップ、44はカウンタ回路4を構成するインバータである。

【0042】

微分回路2の主たる構成要素であるコンパレータ（比較器）は例えば新日本無線（株）製のNJM2904であり、又電圧制御発振回路3については例えば新日本無線（株）製のNJM555、バイナリカウンタ41については例えば（株）東芝製のTC74HC4020（以下単に74HC4020と記述する）、Dタイプフリップフロップ42、43については例えば（株）東芝製のTC74HC74（以下単に74HC74と記述する）である。

【0043】

このように構成されたCPU電源制御装置について、その動作を説明する。

【0044】

微分回路2は、電源電圧Vの変化率に応じた微分電圧V_cを出力する。NJM555はタイミング生成用ICであり、ここでは微分電圧V_cによって3ピンから出力される信号（クロック）の周波数が変化する無安定マルチバイブレータをVCOとして使用している。V_cとクロックCLKの周波数f（周期）の関係は外付け部品RA、RB、Cによって細かく設定することができる。NJM555の出力クロックCLKはバイナリカウンタ74HC4020のクロック入力に印加される。クロックCLKを入力することで、バイナリカウンタ74HC4020は、カウントアップし、クロック数に応じてオーバーフロー出力が出る。図6においては、オンオフ電源回路5の制御用としてクロック数7でオーバーフローする出力Q7を使用し、オンオフ電源回路6の制御用としてクロック数14でオーバーフローする出力Q14を使用している。なお、このクロック数の選定はあくまで一例であり、必要に応じてバイナリカウンタ74HC4020を複数使用することで、更に多くのクロック数で制御するように設計することができる。また、カウンタの代わりにシフトレジスタ、リングカウンタ等を使用しても同様の機能を実現することができる。また、出力Q7、出力Q14はオーバーフローするクロック数+1のクロックが入力された時点でインアクティブになるため、そのまま制御信号としては使いにくい。そのため、Dタイプフリップフロップ74HC74により出力をラッチしてオンオフ電源回路5、6に渡す。電源電圧VがV1、V2に到達してCPU7が正常に動作を開始した後、CPU電源

10

20

30

40

50

制御装置の誤動作により突然電源が切れることがないように、CPU7は、Dタイプフリップフロップ42、43のCLRバーに「H」を印加し、PRバーに「L」を印加することにより、ラッチの出力が常に「H」となるように動作を固定して、誤動作を防ぐ。

【0045】

以上のように本実施の形態によれば、電源回路1からの電源電圧を微分して微分電圧を生成する微分回路2と、生成した微分電圧に比例する周波数のクロック信号を発振する電圧制御発振回路3と、クロック信号をカウントして得られた周波数の積分値が所定積分値を越えたときに制御信号を出力するカウンタ回路4と、制御信号を入力したときに所定電圧をCPU7へ出力するオンオフ電源回路5、6とを有することにより、クロック信号をカウントして得られた周波数の積分値は電源回路からの電源電圧値となり、この電源電圧値が所定積分値を越えた場合に制御信号が出力されるので、オンオフ電源回路5、6からCPU7への電源供給においては所定積分値に対応する電源電圧すなわち設定された一定の電源電圧が供給されるので、電源回路1の出力電圧の特性にかかわらず、CPU7に適正なシーケンス電圧を供給することができる。

10

【0046】

また、カウンタ回路4は、周波数の積分値が第1の所定積分値を越えたときに第1の制御信号を出力し、周波数の積分値が第1の所定積分値よりも大きい第2の所定積分値を越えたときに第2の制御信号を出力し、オンオフ電源回路5、6は、第1の制御信号を入力したときに第1の所定電圧をCPU7のCPUコア71へ出力し、第2の制御信号を入力したときに第1の所定電圧よりも高い第2の所定電圧をCPU7のI/O回路72へ出力することにより、まず第1の所定電圧がCPUコア71に供給され、次に、第1の所定電圧よりも高い第2の所定電圧がI/O回路72に供給されるので、電源回路1の出力電圧Vの特性にかかわらず、CPU7に適正なシーケンス電圧が供給され、CPU7が誤動作したり、破壊されることがない。

20

【0047】

さらに、カウンタ回路4は、第1の所定電圧よりも高い第2の所定電圧がCPU7に入力されたときにCPU7から出力されるカウンタ動作停止信号αに基づいてカウンタ動作を停止することにより、ノイズ等により誤動作を起こす可能性のあるカウンタ回路4の動作が停止されるので、誤動作による異常な電圧がオンオフ電源回路5、6からCPU7へ供給されることを防止することができ、CPU7における誤動作や破壊を防止することができる。

30

【0048】

なお、実施の形態1では、一例としてCPUについて説明したが、それに限定されるものではなく、2つの異なる電圧での電圧電源供給が必要な半導体集積回路(IC)についても当然に適用可能である。また、3つ以上の異なる電圧での電源供給が必要な半導体集積回路(IC)についても本実施の形態の動作を拡張することにより容易に対応することができる。また、電源電圧の変化を周波数の変化に変換する為にVCOを使用したか、電圧＝周波数変換回路、一般的にはV-F変換回路として知られる回路を使用しても同様な動作を行わせることができる。

40

【0049】

(実施の形態2)

図7は、本発明の実施の形態2によるCPU電源制御装置を示すブロック図である。

【0050】

図7において、電源回路1、微分回路2、電圧制御発振回路3、カウンタ回路4、オンオフ電源回路5、6、CPU7、CPUコア71、I/O回路72は図1と同様のものなので、同一符号を付し、説明は省略する。8はカウンタ回路4を停止させるカウンタ動作停止信号αを出力するコンパレータである。ここで、微分回路2と電圧制御発振回路3とカウンタ回路4とオンオフ電源回路5、6とコンパレータ8とはCPU電源制御装置を構成する。

【0051】

50

このように本実施の形態によるCPU電源制御装置は実施の形態1とは、コンパレータ8のみが異なるので、コンパレータ8についてのみ説明する。

【0052】

コンパレータ8は、電源回路1の出力電圧Vを所定の電源電圧とを比較し、出力電圧Vの値が所定の電源電圧値を越えたときにカウント動作停止信号αを出力し、カウンタ回路4の動作を停止させる。これは、ノイズ等によるカウンタ回路4の誤動作を防止することにより、CPU7の誤動作や破壊を防止するためである。この動作は実施の形態1におけるカウンタ停止回路73における動作と同様であるが、コンパレータ8を設けたことにより、CPU7にカウンタ停止回路73を設ける必要がなくなる。

【0053】

図8は、図7のCPU電源制御装置を具体的に示す具体的回路図である。

【0054】

図8において、電源回路1、微分回路2、電圧制御発振回路3、カウンタ回路4、オンオフ電源回路5、6、CPU7、CPUコア71、I/O回路72、バイナリカウンタ41、Dタイプフリップフロップ42、43は図6と同様のものであり、コンパレータ8は図7と同様のものである。45、46はカウンタ回路4を構成するインバータである。コンパレータ8は例えば新日本無線(株)製のNJM2903である。

【0055】

このように構成されたCPU電源制御装置について、コンパレータ8の動作を説明する。

【0056】

電源電圧VがV1、V2に到達してCPU7が正常に動作を開始した後、CPU電源制御装置の誤動作により突然電源が切れることがないように、電源電圧Vをコンパレータ8で判定し、電源電圧VがV2を越えたとき、Dタイプフリップフロップ42、43のCLRバーに「H」を印加し、PRバーに「L」を印加することにより、ラッチの出力が常に「H」となるように動作を固定して、誤動作を防ぐ。

【0057】

以上のように本実施の形態によれば、電源回路1からの電源電圧が所定の電源電圧値を越えたときにカウント動作停止信号を出力するコンパレータ8を備え、カウンタ回路4は、コンパレータ8からのカウント動作停止信号αを入力したときにカウント動作を停止することにより、ノイズ等により誤動作を起こす可能性のあるカウンタ回路4の動作が停止されるので、誤動作による異常な電圧がオンオフ電源回路5、6からCPU7へ供給されることを防止することができ、CPU7における誤動作や破壊を防止することができる。

【0058】

なお、実施の形態2では、一例としてCPUについて説明したが、それに限定されるものではなく、2つの異なる電圧での電圧供給が必要な半導体集積回路(IC)についても当然に適用可能である。また、3つ以上の異なる電圧での電源供給が必要な半導体集積回路(IC)についても本実施の形態の動作を拡張することにより容易に対応することができる。また、電源電圧の変化を周波数の変化に変換する為にVCOを使用したか、電圧=周波数変換回路、一般的にはV-F変換回路として知られる回路を使用しても同様な動作を行わせることができる。

【0059】

【発明の効果】

以上説明したように本発明の請求項1に記載のIC用電源制御装置によれば、電源回路から供給される電源電圧を制御してCPUなどのICに印加するIC用電源制御装置であって、電源回路からの電源電圧を微分して微分電圧を生成する微分回路と、生成した微分電圧に比例する周波数のクロック信号を発振する電圧制御発振回路と、クロック信号をカウントして得られた周波数の積分値が所定積分値を越えたときに制御信号を出力するカウンタ回路と、制御信号を入力したときに所定電圧をICへ出力するオンオフ電源回路とを有することにより、クロック信号をカウントして得られた周波数の積分値は電源回路からの電源電圧値となり、この電源電圧値が所定積分値を越えた場合に制御信号が出力されるの

10

20

30

40

50

で、オンオフ電源回路からICへの電源供給においては所定積分値に対応する電源電圧すなわち設定された一定の電源電圧が供給されるので、電源回路の出力電圧の特性にかかわらず、ICに適正なシーケンス電圧を供給することができるという有利な効果が得られる。

【0060】

請求項2に記載のIC用電源制御装置によれば、請求項1に記載のIC用電源制御装置において、カウンタ回路は、周波数の積分値が第1の所定積分値を越えたときに第1の制御信号を出力し、周波数の積分値が第1の所定積分値よりも大きい第2の所定積分値を越えたときに第2の制御信号を出力し、オンオフ電源回路は、第1の制御信号を入力したときに第1の所定電圧をICの第1の電源端子へ出力し、第2の制御信号を入力したときに第1の所定電圧よりも高い第2の所定電圧をICの第2の電源端子へ出力することにより、例えば、まず第1の所定電圧が第1の電源端子を介してCPUコアに供給され、次に、第1の所定電圧よりも高い第2の所定電圧が第2の電源端子を介してI/O回路に供給されるので、電源回路の出力電圧の特性にかかわらず、CPUなどのICに適正なシーケンス電圧が供給され、ICが誤動作したり、破壊されることのないという有利な効果が得られる。

【0061】

請求項3に記載のIC用電源制御装置によれば、請求項2に記載のIC用電源制御装置において、カウンタ回路は、第1の所定電圧よりも高い第2の所定電圧がCPUなどのICに入力されたときにICから出力されるカウンタ動作停止信号に基づいてカウンタ動作を停止することにより、ノイズ等により誤動作を起こす可能性のあるカウンタ回路の動作が停止されるので、誤動作による異常な電圧がオンオフ電源回路からCPUなどのICへ供給されることを防止することができ、ICにおける誤動作や破壊を防止することができるという有利な効果が得られる。

【0062】

請求項4に記載のIC用電源制御装置によれば、請求項1または2に記載のIC用電源制御装置において、電源回路からの電源電圧が所定の電源電圧値を越えたときにカウンタ動作停止信号を出力するコンパレータを備え、カウンタ回路は、コンパレータからのカウンタ動作停止信号を入力したときにカウンタ動作を停止することにより、ノイズ等により誤動作を起こす可能性のあるカウンタ回路の動作が停止されるので、誤動作による異常な電圧がオンオフ電源回路からCPUなどのICへ供給されることを防止することができ、ICにおける誤動作や破壊を防止することができるという有利な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1によるCPU電源制御装置を示すブロック図

【図2】出力電圧が1次応答的に立ち上がる場合（すなわち急速に立ち上がる場合）の周波数とその積分値を示すタイミングチャート

【図3】出力電圧が2次応答的に立ち上がる場合（すなわち徐々に立ち上がる場合）の周波数とその積分値を示すタイミングチャート

【図4】出力電圧が1次応答的に立ち上がる場合の周波数の積分値とオンオフ電源回路からの出力電圧を示すタイミングチャート

【図5】出力電圧が2次応答的に立ち上がる場合の周波数の積分値とオンオフ電源回路からの出力電圧を示すタイミングチャート

【図6】図1のCPU電源制御装置を具体的に示す具体的回路図

【図7】本発明の実施の形態2によるCPU電源制御装置を示すブロック図

【図8】図7のCPU電源制御装置を具体的に示す具体的回路図

【図9】従来のIC用電源制御装置としてのCPU電源制御装置を示すブロック図

【図10】出力電圧が1次応答的に立ち上がる場合（すなわち急速に立ち上がる場合）を示すタイミングチャート

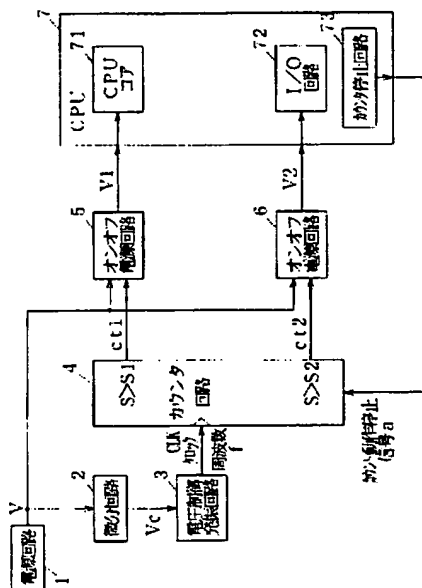
【図11】出力電圧が2次応答的に立ち上がる場合（すなわち徐々に立ち上がる場合）を示すタイミングチャート

【符号の説明】

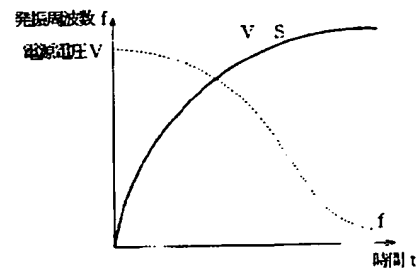
- 1 電源回路
- 2 微分回路
- 3 電圧制御発振回路
- 4 カウンタ回路
- 5、6 オンオフ電源回路
- 7 CPU
- 8 コンパレータ
- 41 バイナリカウンタ
- 42、43 Dタイアフリップフロップ
- 44、45、46 インバータ
- 71 CPUコア
- 72 I/O回路
- 73 カウンタ停止回路

10

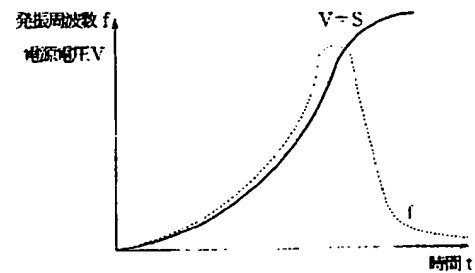
【図1】



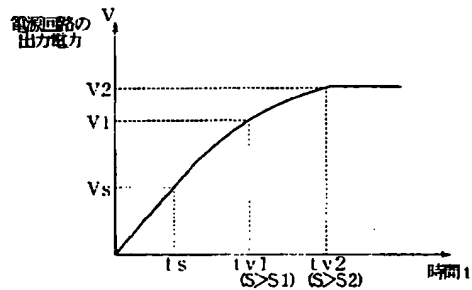
【図2】



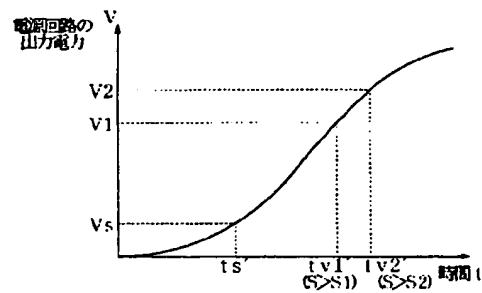
【図3】



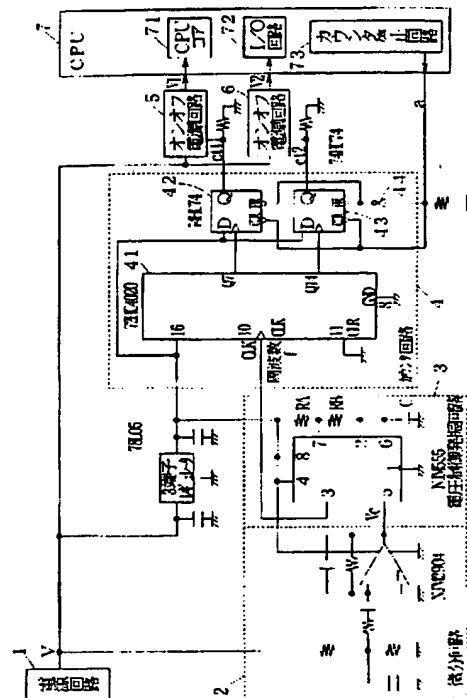
【図 4】



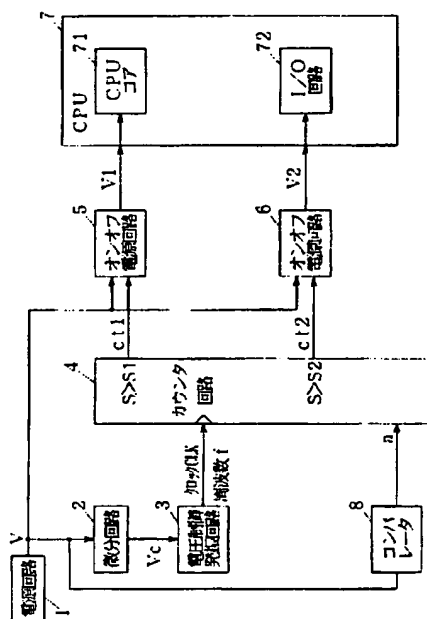
【図 5】



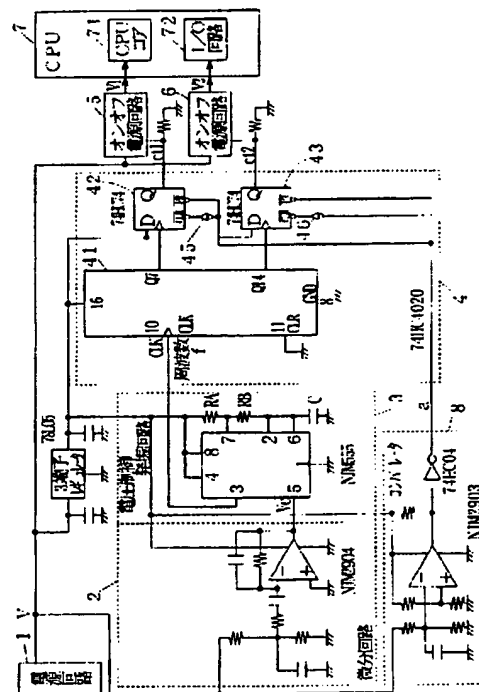
【図 6】



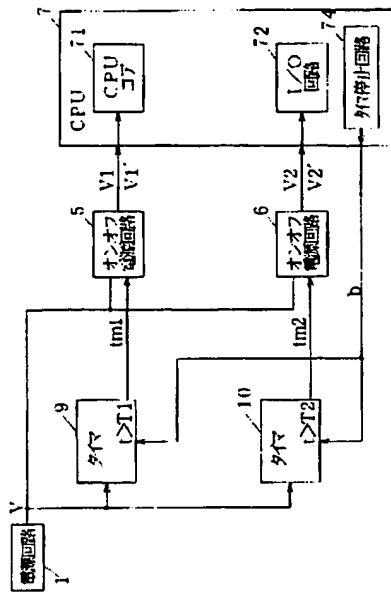
【図 7】



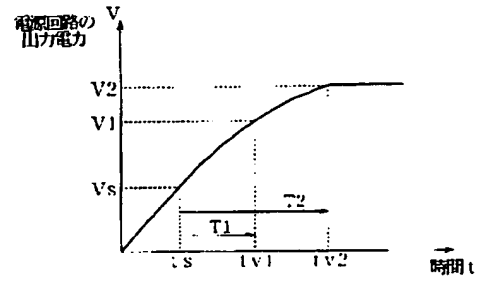
【図 8】



【図 9】



【図 10】



【図 11】

